

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000101870 A**

(43) Date of publication of application: **07.04.00**

(51) Int. Cl.

**H04N 5/208**

(21) Application number: **10268571**

(22) Date of filing: **22.09.98**

(71) Applicant: **TOSHIBA CORP**

(72) Inventor: **MATSUGAMI HISAKI  
OGAWA YOSHIHIKO**

**(54) DIGITAL SIGNAL PROCESSING CIRCUIT**

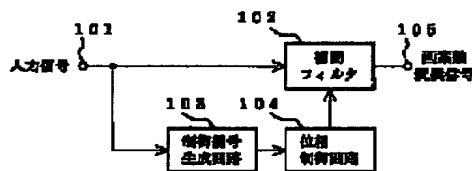
**(57) Abstract:**

**PROBLEM TO BE SOLVED:** To enhance a sense of sharpness of an edge part after number of pixels of a video signal is converted.

**SOLUTION:** An input video signal from an input terminal 101 is respectively given to an interpolation filter 102 and a control signal generating circuit 103. The control signal generating circuit 103 generates a control signal, which is given to a phase control circuit 104. The phase control circuit 104 controls an interpolation phase of the interpolation filter 102 based on the control signal. The interpolation filter 102 converts number of pixels of the received video signal and the converted video signal is outputted from an output terminal 105. In the case that the control signal is generated from a high frequency component of the received video signal and the interpolation filter interpolates pixels in this way, the control signal is used to control a phase

of the interpolation pixels to enhance a sense of sharpness of an edge part.

COPYRIGHT: (C)2000,JPO



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-101870

(P2000-101870A)

(43)公開日 平成12年4月7日(2000.4.7)

(51)Int.Cl.<sup>7</sup>

H 0 4 N 5/208

識別記号

F I

H 0 4 N 5/208

テーマコード(参考)

5 C 0 2 1

審査請求 未請求 請求項の数9 O L (全 9 頁)

(21)出願番号 特願平10-268571

(22)出願日 平成10年9月22日(1998.9.22)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 松上 寿樹

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝マルチメディア技術研究所内

(72)発明者 小川 佳彦

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝マルチメディア技術研究所内

(74)代理人 100077849

弁理士 須山 佐一

Fターム(参考) 5C021 PA06 PA17 PA18 PA33 PA53

PA58 PA62 PA75 RA02 RB04

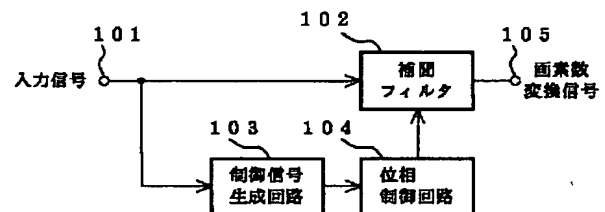
XB03 XB04 XB07

(54)【発明の名称】 デジタル信号処理回路

(57)【要約】

【課題】 映像信号の画素数を変換後のエッジ部の鮮鋭感を改善する。

【解決手段】 入力端子101から入力映像信号は、補間フィルタ102、制御信号生成回路103にそれぞれ入力する。制御信号生成回路103では制御信号を生成し、これを位相制御回路104に入力する。位相制御回路104では、制御信号に基づいて補間フィルタ102の補間位相の制御を行う。補間フィルタ102では入力された映像信号の画素数の変換を行い、出力端子105より変換された映像信号を導出する。このように入力映像信号の高域成分から制御信号を生成し、補間フィルタで画素を補間する際に、この制御信号により補間画素の位相を制御することで、エッジ部の鮮鋭感が改善できる。



## 【特許請求の範囲】

【請求項 1】 入力映像信号に画素を補間し画素数を変換する手段と、

前記入力映像信号の高域信号から制御信号を生成する手段と、

前記制御信号により補間画素の位相を制御する制御手段とを具備することを特徴とするデジタル信号処理回路。

【請求項 2】 制御信号生成手段は、

前記入力映像信号の 1 次微分信号を抽出する手段と、  
2 次微分信号を抽出する手段と、

前記 1 次微分信号の画素数を変換する第 1 の変換手段と、

前記 2 次微分信号の画素数を変換する第 2 の変換手段と、

前記第 1 の変換手段出力の符号を、前記第 2 の変換手段出力の符号により反転する手段とから構成してなることを特徴とする請求項 1 に記載のデジタル信号処理回路。

【請求項 3】 制御信号生成手段は、

前記入力映像信号の 1 次微分信号を抽出する手段と、  
2 次微分信号を抽出する手段と、

前記 1 次微分信号の画素数を変換する第 1 の変換手段と、

前記 2 次微分信号の画素数を変換する第 2 の変換手段と、

前記第 1 の変換手段出力の符号を、前記第 2 の変換手段出力の符号により反転する手段と、

前記反転手段の出力レベルを検出するレベル検出手段と、

前記レベル検出手段の出力に応じて反転手段出力のレベルを制御するレベル制御手段とから構成してなることを特徴とする請求項 1 に記載のデジタル信号処理回路。

【請求項 4】 制御信号生成手段は、

前記入力映像信号の 2 次微分信号を抽出する手段と、  
2 次微分信号の画素数を変換する手段と、

前記変換手段出力の符号の切り替わりを検出する手段と、

前記符号の切り替わり前後の任意の範囲で、任意の特性のデータを出力する手段と、

前記データ出力を合成する合成手段とから構成してなることを特徴とする請求項 1 に記載のデジタル信号処理回路。

【請求項 5】 制御信号生成手段は、

前記入力映像信号の 2 次微分信号を抽出する手段と、  
2 次微分信号の画素数を変換する第 1 の変換手段と、

前記第 1 の変換手段出力の符号の切り替わりを検出する手段と、

前記入力映像信号の画素数を変換する第 2 の変換手段と、

前記符号の切り替わり前後で、前記第 2 の変換手段出力のレベルの比率を検出する手段と、

前記符号の切り替わり前後の任意の範囲で、比率検出出力と等しい比率のデータを出力する手段と、

前記データ出力を合成する合成手段とから構成してなることを特徴とする請求項 1 に記載のデジタル信号処理回路。

【請求項 6】 制御信号生成手段は、

前記入力映像信号の 2 次微分信号を抽出する手段と、  
2 次微分信号の画素数を変換する変換手段と、

前記変換手段出力の符号の切り替わりを検出する手段と、

前記符号の切り替わり前後で、前記変換手段出力のレベルの比率を検出する手段と、

前記符号の切り替わり前後の任意の範囲で、比率検出出力と等しい比率のデータを出力する手段と、

前記データ出力を合成する合成手段とから構成してなることを特徴とする請求項 1 に記載のデジタル信号処理回路。

【請求項 7】 制御信号生成手段は、前記 2 次微分信号出力が小さい場合は前記制御信号のレベルを小さくすることを特徴とする請求項 2～5 のいずれかに記載のデジタル信号処理回路。

【請求項 8】 制御信号生成手段は、前記制御信号の垂直低域成分を抽出する手段を具備し、前記垂直低域出力を制御信号とすることを特徴とする請求項 2～5 のいずれかに記載のデジタル信号処理回路。

【請求項 9】 制御手段は、前記制御信号が正の値の場合は前記制御信号の大きさに応じて補間画素の位相を後ろにずらし、前記制御信号が負の値の場合は前記制御信号の大きさに応じて補間画素の位相を前にシフトしてなることを特徴とする請求項 1 に記載のデジタル信号処理回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、映像信号の画素数を変換するデジタル信号処理回路に関する。

【0002】

【従来の技術】映像信号の画素数を変換する手段としては、一般的に補間フィルタによる補間を行っており、図 20 にこの変換例を示す。入力端子 201 から入力された映像信号は、補間フィルタ 202 に入力する。補間フィルタ 202 では変換する画素数に応じた位相に画素の補間を行い、出力端子 203 より画素数に変換された映像信号を得る。

【0003】図 21 に補間位相の例を示す。図 21 は 8/3 倍に画素数を変換する例である。図中の○は元の画素、●は補間画素である。補間フィルタ 202 の出力が画素数変換された映像信号となり、図中の実線の波形となる。

【0004】図 21 に示すように画素数が 8/3 倍に増えるということは、表現できる帯域が図 22 に示すよう

に8/3倍に上がることになる。しかし、補間フィルタ202による画素数変換では●が補間画素となり、画素数変換前の映像信号の最大帯域までしか表現できない。これは画素数変換後の帯域の3/8倍でしかなく、エッジ部の鮮鋭感がなくなる。

#### 【0005】

【発明が解決しようとする課題】上記した従来の映像信号の画素数を変換する手段では、エッジ部の鮮鋭感がない、という問題があった。

【0006】この発明は、映像信号の画素数を変換後のエッジ部の鮮鋭感を改善することを目的とする。

#### 【0007】

【課題を解決するための手段】上記した課題を解決するために、この発明のデジタル信号処理回路では、入力映像信号に画素を補間し画素数を変換する手段と、前記入力映像信号の高域信号から制御信号を生成する手段と、前記制御信号により補間画素の位相を制御する制御手段とを具備することを特徴とする。

【0008】このような構成により、入力映像信号の高域成分から制御信号を生成し、補間フィルタで画素を補間する際に、この制御信号により補間画素の位相を制御することで、エッジ部の鮮鋭感を改善する。

#### 【0009】

【発明の実施の形態】以下、この発明の実施の形態について、図面を参照しながら詳細に説明する。図1は、この発明の一実施の形態について説明するための回路構成図である。図1において、入力端子101から入力された映像信号は、補間フィルタ102と制御信号生成回路103にそれぞれ入力する。制御信号生成回路103では制御信号を生成し、これを位相制御回路104に入力する。位相制御回路104では、制御信号に基づいて補間フィルタ102の補間位相の制御を行う。補間フィルタ102では入力された映像信号の画素数の変換を行い、変換された映像信号を出力端子105より導出する。

【0010】ここで、図2を用いて制御信号と補間位相制御の関係について説明する。制御信号の符号が正の場合、補間位相は本来の位相よりも後になり、どのくらい後ろになるかの補正量は制御信号のレベルにより決まる。制御信号の符号が負の場合、補間位相は本来の位相よりも前になり、どのくらい前になるかの補正量は制御信号のレベルにより決まる。

【0011】このような制御信号により、補間フィルタ102の補間位相を制御することで、補間された後の信号は、図2の点線に示すようになり、エッジの鮮鋭感を改善できる。

#### 【0012】

【実施例】図3は、図1に示すこの発明の実施の形態における制御信号生成回路103の第1の実施例について説明するためのブロック図である。図において、入力端

子301から入力された信号は、1次微分器302、2次微分器303にそれぞれ入力する。1次および2次微分器302、303の出力は、第1および第2の補間フィルタ304、305にそれぞれ入力し、補間フィルタ102と同じ画素数になるように画素数の変換を行う。

【0013】第2の補間フィルタ305の出力は、符号検出器306に入力する。符号検出器306の出力は、符号反転器307に入力する。この符号反転器307では符号検出器306の出力が負を検出した場合に、第1の補間フィルタ304の出力の符号を反転し、正を検出した場合に、第1の補間フィルタ304の出力をそのまま出力する。

【0014】図4に、制御信号生成回路103の波形図を示す。入力映像信号に対して1次微分信号、2次微分信号を抽出し、2次微分の画素数変換信号が正の部分では1次微分の画素数変換信号をそのまま制御信号として出力し、負の部分では1次微分の画素数変換信号を反転したものを制御信号として出力する。これにより制御信号は図示したようになり、この制御信号に基づいて補間フィルタ102の補間位相を制御する。

【0015】図5は、図1の制御信号生成回路の第2の実施例について説明するためのブロック図である。この実施例で図3と同一機能の部分には同一の符号を付して説明する。図3では、1次微分信号を画素数変換した信号をそのまま制御信号として使用するため、入力映像信号のレベルが小さい場合は制御信号が小さくなる。前述したように、位相の補正量は制御信号のレベルによって決まるため、制御信号が小さいと改善効果も小さい。そこで、この実施例は入力映像信号のレベルが低い場合にも、エッジ部の改善を図るためのものである。

【0016】すなわち、符号反転器307からの出力はレベル検出器501に入力する。レベル検出器501では符号反転出力のレベルを検出し、レベルに応じた制御信号を出力する。レベル制御器502ではレベル検出出力に応じて符号反転出力のレベルを制御する。

【0017】このレベル制御は、図6に示すように入力映像信号のレベルが小さいため符号反転出力が小さい場合に、図中の点線のようにエッジの改善効果が得られるレベルまで符号反転出力のレベルを上げる。このレベル制御器502の出力を制御信号とすることで、入力映像信号のレベルが小さい場合にもエッジ部の改善を行うことができる。

【0018】図7は、図1の制御信号生成回路の第3の実施例について説明するためのブロック図である。この実施例も入力映像信号のレベルが低い場合にエッジ部の改善を行う。

【0019】すなわち、第2の補間フィルタ305からの出力は、0クロス点検出器701に入力する。0クロス点検出器701では、2次微分の画素数変換信号の符号が切り替わるポイントを検出する。制御データ出力器

702では、0クロス点検出器701で符号が切り替わるポイントが検出された場合、図8に示すように、そのポイントを中心に任意の範囲で制御信号用のデータを出力する。この制御データは入力映像信号のレベルに関係なく、たとえば入力映像信号の立上がり、立ち下がりのエッジの改善効果が得られるレベルの制御データを出力する。制御データ合成器703では出力されたこれらの制御データを加算する。

【0020】この制御データの加算については、図9に示すように、近接関係の入力映像信号の立上がりとしち下がりの画素で制御データが出力された場合、制御データが重なる部分が出てくる。この重なる部分の制御データを制御データ合成器703で加算すれば打ち消すことができる。制御データが重なる部分は、どちらの方向にも位相が変わりうる部分であり、この部分は位相制御を行うことにより妨害が発生する可能性がある。

【0021】また、図10のように制御信号が打ち消されない場合、図中の点線のように位相制御されるため、頂点部分がくぼんだ波形となり、画面上で輝度レベルが変化し妨害となって現れる。このため制御データを加算し、打ち消し合うことにより、位相制御を行わないようにし、妨害の発生を抑える。この制御データ合成器703の出力を制御信号とすることで、入力映像信号のレベルが小さい場合にもエッジ部の改善を行うことができる。

【0022】また、図11に示すように、2次微分の画素数変換信号の0クロス点近傍は、位相制御を行うと0クロス点の前後で位相制御した画素がずれる場合があり、斜め線等でぎざつきが目立つことがある。この実施例では制御データの出力値により0クロス点のずれを防ぐことができる。0クロス点前後の画素がずれないためには、図12のように位相制御させればよい。この位相制御幅は0クロス点前後の画素の絶対値に比例している。従って、制御データ出力は、0クロス点前後の画素の絶対値の比率と、同じ比率になるように出力すればよい。

【0023】図13のブロック図は、図7の実施例に0クロス点のずれを防ぐ手段を施した制御信号生成回路の第4の実施例について説明するためのブロック図である。すなわち、入力映像信号は第3の補間フィルタ1301に入力し、図1の補間フィルタ102と同じ画素数になるように画素数の変換を行う。補間フィルタ1301の出力は、画素レベル比率検出器1302に入力する。画素レベル比率検出器1302では、0クロス点検出器701から0クロス点の検出信号が入力されたときに、その前後の画素のレベルの比率を出力する。画素レベルの比率出力は制御データ出力器702に入力し、制御データ出力手段では画素レベルの比率に等しい比率で、0クロス点前後の制御データを出力する。このようにして0クロス点のずれを防ぐことができる。

【0024】ただし、この実施例では入力映像信号を画素数変換する手段が必要となり、回路規模が大きくなる。このため、すでに存在している2次微分の画素数変換信号により同様の制御を行うこともできる。0クロス点前後の入力映像信号のレベル比率は、2次微分の画素数変換信号のレベル比率とほぼ同様である。従って、入力映像信号の画素数変換手段出力の代わりに、2次微分の画素数変換出力を画素レベルの比率として使用する。

【0025】これを制御信号生成回路の第5の実施例として図14のブロック図に示す。この実施例と図13との違いは補間フィルタ305からの2次微分の画素数変換出力を、画素レベル比率検出器1302に入力し、これにより制御データ出力器702から制御データを出力するところである。

【0026】図15は制御信号生成回路の第6の実施例について説明するためのブロック図である。制御信号生成回路103で使用している2次微分器303は高域成分を検出する手段である。しかし高域成分でレベルの小さいものはノイズである可能性があり、このノイズ成分を2次微分器で検出し、制御信号を生成してしまうと、誤った位相制御を行い、妨害となって現れる。また前述のように、2次微分の画素数変換信号の0クロス点近傍は、位相制御により0クロス点前後の画素の位相がずれる場合がある。この実施例はこれらを防ぐためのものである。

【0027】第2の補間フィルタ305の出力をレベル判定器1501に入力し、レベルの判定を行う。レベル判定器1501では、第2の補間フィルタの出力が、あるレベル以下であるかどうかを判定する。レベル判定器からの判定信号はレベル制御器1502に入力する。第2の補間フィルタ出力があるレベル以下であると判定した場合は、ノイズ、または0クロス点近傍である可能性があるため、符号反転器607の出力を0にする等、レベルを小さくするように制御する。このレベル制御器1502の出力を制御信号とする。図16に制御信号の波形図を示す。

【0028】こうすることにより、ノイズによる位相制御の誤りや0クロス点前後の位相ずれを防ぐことができる。

【0029】この実施例は、これまで説明した各実施例の第2の補間フィルタ305の出力後にレベル判定を行い、最終出力にレベル制御を行うことで同様の効果を奏する。

【0030】図17は制御信号生成回路の第7の実施例について説明するためのブロック図である。この実施例は斜め線のぎざつきを防ぐためのもので、そのため符号反転器307の出力に、映像信号の垂直信号の低域だけを通過させる垂直LPF1701を介して制御信号として取り出した構成部分が図3の実施例と異なる。なお、図3の実施例と同一の機能部分には同一の符号を付し、

その説明は省略する。

【0031】斜め線は図18に示すように、ライン毎に信号レベルが変化しており、ラインによって制御信号のずれが発生しやすくなる。ライン間で制御信号のずれが生じると、図19のように位相制御後の輝度差が大きくなり、ぎざつきが発生する。これを防ぐために制御信号に垂直LPFをかけ、上下ラインとの制御信号のずれを小さくする。

【0032】符号反転器307からの出力は垂直LPF1701に入力し、垂直低域成分を抽出することで符号反転出力のライン間のずれを小さくする。これを制御信号とすることで、斜め線でのぎざつきを抑えることができる。

【0033】この実施例は、これまで説明した各実施例の最終出力に垂直LPFをかけることで同様の効果を奏する。

【0034】

【発明の効果】以上説明したように、この発明のデジタル信号処理回路では、入力映像信号の高域信号から生成された制御信号により補間画素の位相を制御することで、画素数変換された信号のエッジ部の鮮鋭感の向上を図ることができる。

【図面の簡単な説明】

【図1】この発明の一実施の形態について説明するためのブロック図。

【図2】図1の動作について説明するための説明図。

【図3】図1の制御信号生成回路の第1の実施例について説明するためのブロック図。

【図4】図3の動作について説明するための説明図。

【図5】図1の制御信号生成回路の第2の実施例について説明するためのブロック図。

【図6】図5の動作について説明するための説明図。

【図7】図1の制御信号生成回路の第3の実施例について説明するためのブロック図。

【図8】図7の動作について説明するための説明図。

【図9】図7の動作について説明するための説明図。

【図10】図7の動作について説明するための説明図。

【図11】図7の動作について説明するための説明図。

【図12】図7の動作について説明するための説明図。

【図13】図1の制御信号生成回路の第4の実施例について説明するためのブロック図。

【図14】図1の制御信号生成回路の第5の実施例について説明するためのブロック図。

【図15】図1の制御信号生成回路の第6の実施例について説明するためのブロック図。

【図16】図15の動作について説明するための説明図。

【図17】図1の制御信号生成回路の第7の実施例について説明するためのブロック図。

【図18】図17について説明するための説明図。

【図19】図17について説明するための説明図。

【図20】従来の映像信号の画素数変換について説明するためのブロック図。

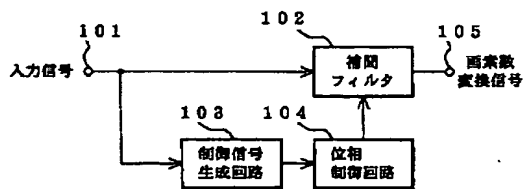
【図21】図20における画素数を変換例について説明するための説明図。

【図22】図20における画素数を変換の問題点について説明するための説明図。

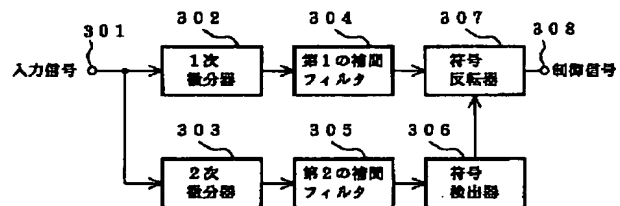
【符号の説明】

102…補間フィルタ、103…制御信号生成回路、104…位相制御回路、302…1次微分器、303…2次微分器、304…第1の補間フィルタ、305…第2の補間フィルタ、306…符号検出器、307…符号反転器、501…レベル検出器、502…レベル制御器、701…0クロス点検出器、702…制御データ出力器、703…制御データ合成器、1301…補間フィルタ、1302…画素レベル比率検出器、1501…レベル判定器、1502…レベル制御器。

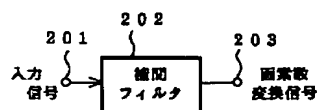
【図1】



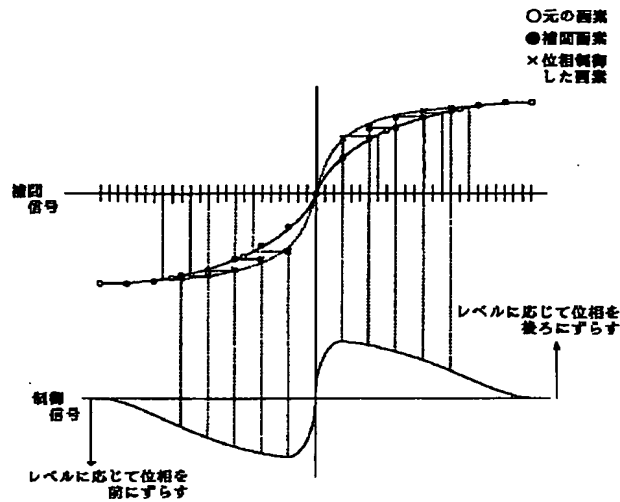
【図3】



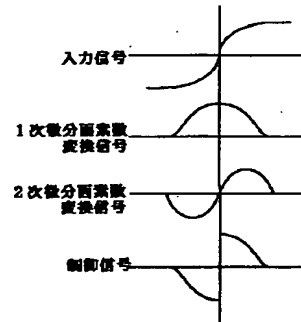
【図20】



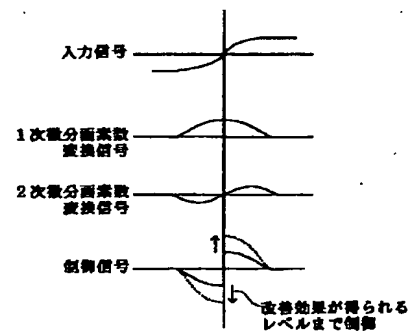
【図2】



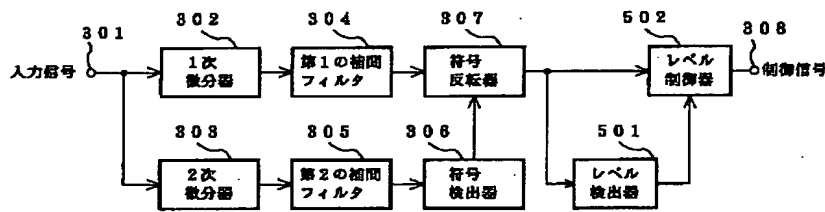
【図4】



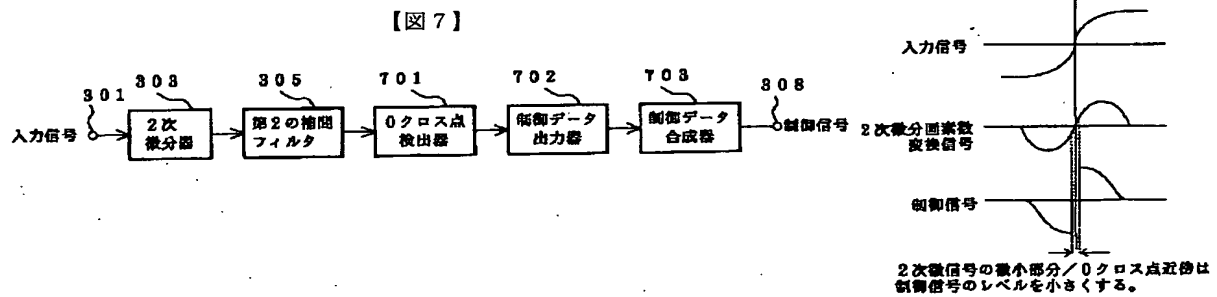
【図6】



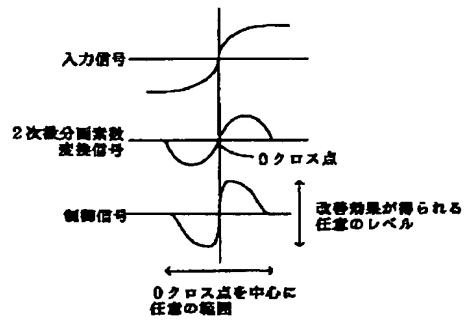
【図5】



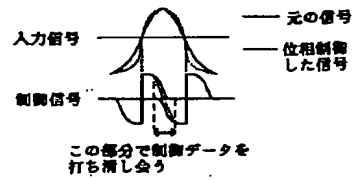
【図16】



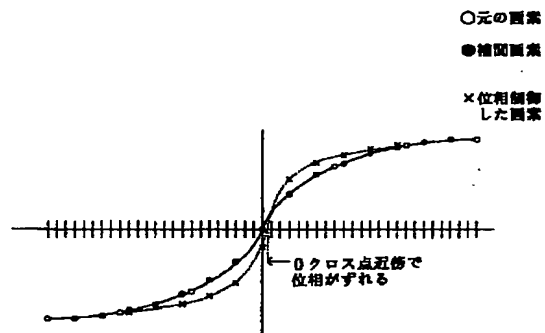
【図8】



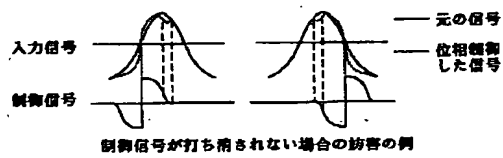
【図9】



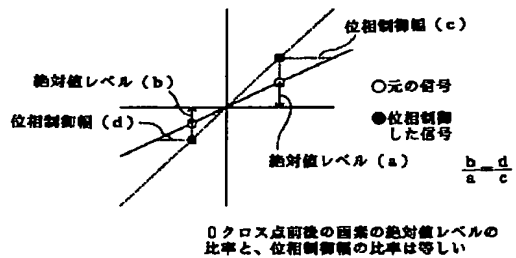
【図11】



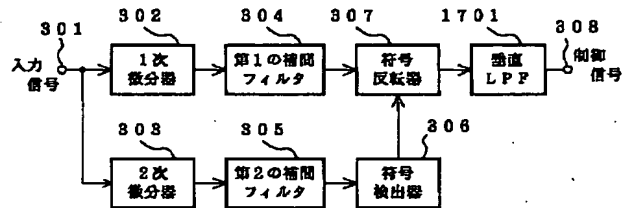
【図10】



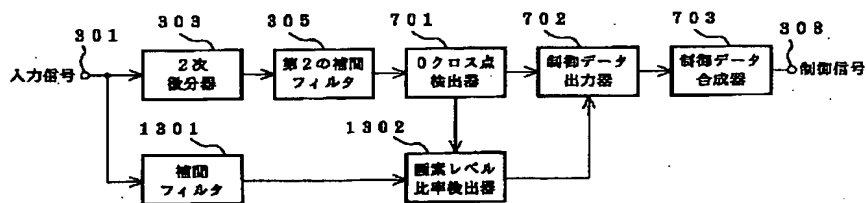
【図12】



【図17】

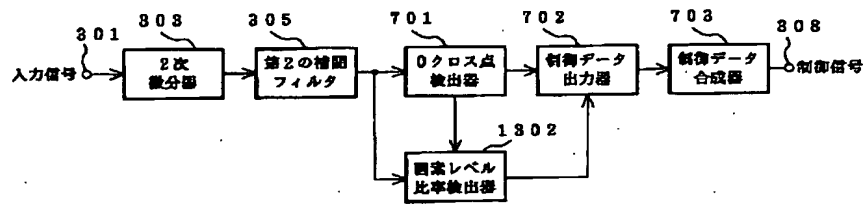


【図13】

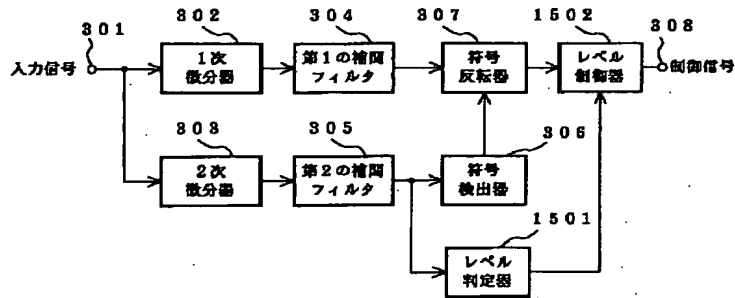




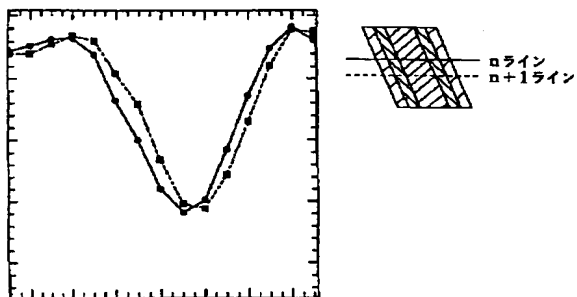
【図14】



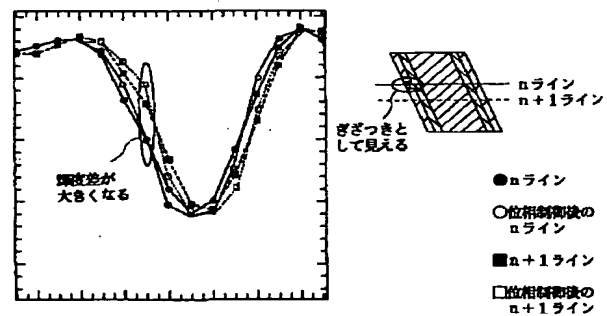
【図15】



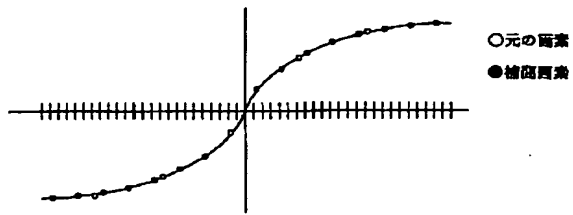
【図18】



【図19】



【図 21】



【図 22】

